

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 6日

出 願 番 号

Application Number:

特願2002-229123

[ST.10/C]:

[JP2002-229123]

出 願 人

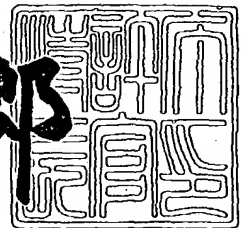
Applicant(s):

富士通株式会社

2003年 1月21日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3000406

【書類名】 特許願

【整理番号】 0240527

【提出日】 平成14年 8月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/687

【発明の名称】 アナログスイッチ回路

【請求項の数】 8

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 橘 大

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 加藤 達夫

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 布川 秀男

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100092152

    【弁理士】

    【氏名又は名称】 服部 毅巖

    【電話番号】 0426-45-6644

【手数料の表示】

    【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アナログスイッチ回路

【特許請求の範囲】

【請求項 1】 アナログ信号をサンプリングするアナログスイッチ回路において、

それぞれのソース及びドレインを共通接続し、並列接続された第 1 の N チャンネル MOS 電界効果トランジスタと第 1 の P チャンネル MOS 電界効果トランジスタとから構成され、アナログ入力信号を入力しサンプリングされたアナログ出力信号を出力するアナログスイッチ部と、

前記アナログ入力信号と参照信号を入力し、前記アナログ入力信号の入力電位と、前記参照信号の参照電位と、を比較するコンパレータ回路と、

前記アナログスイッチ部の導通時に、前記入力電位が前記参照電位より低い場合は、前記第 1 の N チャンネル MOS 電界効果トランジスタのゲート電位を正の電源電圧の電位とし、前記入力電位が前記参照電位より高い場合は、前記ゲート電位を前記電源電圧の電位より高い電位に昇圧する昇圧回路と、

を有することを特徴とするアナログスイッチ回路。

【請求項 2】 前記コンパレータ回路は、前記アナログスイッチ部の導通時に、入力される前記アナログ入力信号の前記入力電位の低下を吸収するフィルタを有することを特徴とする請求項 1 記載のアナログスイッチ回路。

【請求項 3】 前記コンパレータ回路による比較結果によらず、前記昇圧を行う旨の信号を入力する信号線を有することを特徴とする請求項 1 記載のアナログスイッチ回路。

【請求項 4】 前記コンパレータ回路による比較結果によらず、前記昇圧を行わない旨の信号を入力する信号線を有することを特徴とする請求項 1 記載のアナログスイッチ回路。

【請求項 5】 アナログ信号をサンプリングするアナログスイッチ回路において、

それぞれのソース及びドレインを共通接続し、並列接続された第 1 の N チャンネル MOS 電界効果トランジスタと第 1 の P チャンネル MOS 電界効果トランジスタ

とから構成され、アナログ入力信号を入力しサンプリングされたアナログ出力信号を出力するアナログスイッチ部と、

前記アナログ入力信号と参照信号を入力し、前記アナログ入力信号の入力電位と、前記参照信号の参照電位と、を比較するコンパレータ回路と、

前記アナログスイッチ部の導通時に、前記入力電位が前記参照電位より高い場合は、前記第 1 の P チャネル MOS 電界効果トランジスタのゲート電位を、負の電源電圧の電位又は接地電位とし、前記入力電位が前記参照電位より低い場合は、前記ゲート電位を前記負の電源電圧の電位又は接地電位より低い電位にする回路と、

を有することを特徴とするアナログスイッチ回路。

【請求項 6】 前記コンパレータ回路は、前記アナログスイッチ部の導通時に、入力される前記アナログ入力信号の前記入力電位の上昇を吸収するフィルタを有することを特徴とする請求項 5 記載のアナログスイッチ回路。

【請求項 7】 前記コンパレータ回路による比較結果によらず、前記ゲート電位を前記負の電源電圧の電位又は接地電位より低い前記電位にする旨の信号を入力する信号線を有することを特徴とする請求項 5 記載のアナログスイッチ回路。

【請求項 8】 前記コンパレータ回路による比較結果によらず、前記ゲート電位を前記負の電源電圧の電位又は接地電位より低い前記電位にしない旨の信号を入力する信号線を有することを特徴とする請求項 5 記載のアナログスイッチ回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アナログ信号をサンプリングするアナログスイッチ回路に関し、特に、アナログスイッチを構成する MOS 電界効果トランジスタのゲート電位を昇圧する昇圧回路を有するアナログスイッチ回路に関する。

【0 0 0 2】

【従来の技術】

CMOS (Complementary Metal-Oxide Semiconductor) プロセスで実現される比較的安価に製造可能な A-D (Analog to Digital) 変換器の重要な要素回路として、サンプル&ホールド回路がある。アナログ信号をサンプリングするために、CMOS LSI (Large Scale Integrated circuit) では、一般に、アナログスイッチ（あるいはトランスファゲート）が使われる。

#### 【0003】

近年、微細化の進展に伴って、また、電池駆動の機器の広がりによって、回路の低電圧動作が強く望まれており、アナログスイッチ（トランスファゲート）についても、低電圧動作化が強く望まれている。

#### 【0004】

しかし、サンプリングの目的で使われるアナログスイッチなどでは、デジタル回路と異なり、MOS (Metal-Oxide Semiconductor) 電界効果トランジスタの、ソース、ドレイン電極がともに、電源電圧 ( $V_{DD}$ ) の  $1/2$  程度の電位 ( $V_{DD}/2$ ) となる状態があり得るので、ゲート・ソース間電圧がデジタル回路に比べて小さく、低電圧化が困難である。

#### 【0005】

このような背景から、アナログスイッチの低電圧動作に向けた改良がいくつか提案されている。

例えば、特開平 7-74638、特開平 7-221642、特開平 6-53799、特開平 11-220393 では、アナログスイッチのゲート電極の信号電位を電源電位より (Nチャネル MOS 電界効果トランジスタの場合) 高い電圧とし (以下昇圧すると言う)、Nチャネル MOS 電界効果トランジスタ (以下 NMOS トランジスタと略す) のゲート・ソース間電圧を大きくすることで、低電圧動作を可能とする回路が開示されている。

#### 【0006】

これらの回路では、電源電圧が低い場合でも、NMOS トランジスタのゲート電圧を、外部から印加した電源電圧より大きくできるので、ゲート・ソース間電圧を大きくすることができ、アナログスイッチを構成する NMOS トランジスタのオン抵抗を小さくすることができ、比較的簡単な回路の追加により、回路の低

電圧化、高速化が達成されていた。

【0007】

しかし、上記の従来回路では、回路の定数や動作条件によっては、アナログスイッチを構成するNMOSトランジスタに耐圧を超えるゲート・ソース間電圧が印加される可能性があり、回路の低電圧特性の改善と、NMOSトランジスタ耐圧の制限との両立に課題が残されていた。

【0008】

この、アナログスイッチの低電圧特性の改善と、NMOSトランジスタの耐圧の制限との両立を図る工夫として、特開平6-140898の回路が知られている。

【0009】

図4は、従来のアナログスイッチ回路の回路図である。

なお、図4は、特開平6-140898の回路を多少簡略化した図である。

アナログスイッチ回路2において、NMOSトランジスタNM1と、PMOSトランジスタPM1がアナログスイッチ部100を構成し、NMOSトランジスタNM1及びPMOSトランジスタPM1のソースはそれぞれアナログ入力信号（電位は $V_i$ ）を入力する信号線10と接続されており、ドレインはそれぞれ出力の信号線20と接続されている。また、PMOSトランジスタPM1のゲートは、ゲート信号を入力する信号線40と接続されており、NMOSトランジスタNM1のゲートは、容量素子C1及びNMOSトランジスタNM13のドレインと接続されている。容量素子C1の片側は、信号線71を介してインバータ600の出力側と接続される。インバータ600の入力側は信号線72を介して遅延回路610と接続される。遅延回路610は、信号線73を介して遅延回路611に接続される。遅延回路611にはゲート信号が入力される。NMOSトランジスタNM1のゲートは、さらに、NMOSトランジスタNM13のドレインに接続される。NMOSトランジスタNM13のドレインにはさらにNMOSトランジスタNM14のソースが接続される。また、NMOSトランジスタ13のソースはグランド（以下GNDとする）に接続され、ゲートは、信号線40に接続され、ゲート信号が入力される。NMOSトランジスタNM14において、ドレ

インはNMOSトランジスタNM15のソースに接続され、ソースはNMOSトランジスタNM13のドレイン及びNMOSトランジスタNM1のゲートに接続され、ゲートは信号線73と接続される。NMOSトランジスタNM15において、ドレインはアナログ入力信号を入力する信号線10と接続され、ソースはNMOSトランジスタNM14のドレインと接続され、ゲートは信号線74と接続され、インバータ601を介してゲート信号を入力する信号線40と接続されている。

#### 【0010】

以下、従来のアナログスイッチ回路2の動作を説明する。

アナログスイッチ回路2では、入力されたゲート信号により信号線40の電位を、ハイレベル（以下Hレベルと呼ぶ）からロウレベル（以下Lレベルと呼ぶ）に変化すると、NMOSトランジスタNM15のゲートに接続された信号線74の電位がLレベルからHレベルに変化し、NMOSトランジスタNM15がオンする。NMOSトランジスタNM14のゲートに接続された信号線73の電位は、遅延回路611により遅れて変化するので、NMOSトランジスタNM15のゲートと接続された信号線74がHレベルになった時点では、信号線73はHレベルを保っている。従って、NMOSトランジスタNM14、NM15が同時にオンし、信号線31の電位は、アナログ入力信号の入力電位 $V_i$ に充電される（このとき、NMOSトランジスタNM13は、信号線40の電位がLレベルになっているのでオフする）。

#### 【0011】

信号線31の電位が、入力電位 $V_i$ に充電された後、遅延回路611の遅延時間遅れて、NMOSトランジスタNM14のゲートと接続された信号線73の電位がLレベルに変化し、NMOSトランジスタNM14がオフする。さらに、遅延回路610、インバータ600の遅延時間遅れて、信号線71の電位がLレベルからHレベルに変化する。

#### 【0012】

信号線71の信号振幅は、電源電圧 $V_{DD}$ に等しく、また、信号線71の電位がLレベルからHレベルに変化する時刻にはNMOSトランジスタNM13がオ

フしているの、信号線31の電位は $V_i$ から $V_{DD}$ 上昇し、 $V_i + V_{DD}$ と昇圧される。

#### 【0013】

このように、アナログスイッチ回路2では、昇圧を開始する時刻のアナログスイッチ部100を構成するNMOSトランジスタNM1のゲート電位を、アナログスイッチの入力電位 $V_i$ とし、容量素子C1によりゲート電位を昇圧することで、アナログスイッチのゲート電位を $V_i + V_{DD}$ 程度としている。NMOSトランジスタNM1のソース（あるいはドレイン）電位は、入力電位 $V_i$ なので、アナログスイッチを構成するNMOSトランジスタNM1のゲート・ソース間電圧は $V_{DD}$ 程度となり、ゲート・ソース間電圧は電源電圧を超えることはない。

#### 【0014】

これにより、NMOSトランジスタNM1に耐圧を超えるゲート・ソース間電圧が印加されることを防止でき、昇圧による低電圧特性の改善と、回路の定数や動作条件によらない耐圧制限を越えない特性、の両立が達成されていた。

#### 【0015】

##### 【発明が解決しようとする課題】

しかし、従来のアナログスイッチ回路2では、PMOSトランジスタPM1のゲートをHレベルからLレベルにしてPMOSトランジスタPM1をオンさせてから、信号線31の電位を $V_i$ に充電し、その後、信号線31の電位を昇圧（ $V_i + V_{DD}$ ）しなければならないことから、この信号線31を $V_i$ に充電するための時間だけ、NMOSトランジスタNM1がオンする時刻が遅れてしまうという問題があった。

#### 【0016】

以下、信号線31の電位を $V_i$ に充電する時間が増加する要因について、2つ詳細に説明する。

アナログスイッチ回路2では、信号線71の電位がLレベルからHレベルに変化することで、信号線31の電位は、 $V_i$ から $V_{DD}$ 分上昇し、 $V_i + V_{DD}$ となると前述したが、信号線31の電位の上昇分が $V_{DD}$ 近くになるためには、信号線31の寄生容量に比べて、容量素子C1の容量値が十分大きい必要がある。

例えば、NMOSトランジスタNM1のゲート容量を $0.2\text{ pF}$ 、容量素子C1の容量値が $1.8\text{ pF}$ （NMOSトランジスタNM1のゲート容量の9倍）とし、NMOSトランジスタNM13、NM14の接合容量が無視できる程度だと仮定すると、信号線71の振幅が $3\text{ V}$ （VDD）の場合、信号線31の電位の上昇分は、 $2.7\text{ V}$ （ $9/10 \times \text{VDD}$ ）となる。アナログスイッチ回路2では、このNMOSトランジスタNM1のゲート容量に比べて十分大きい容量値の容量素子C1を、NMOSトランジスタNM14、NM15により $V_i$ に充電する必要があるので、NMOSトランジスタNM14、NM15のゲート幅（W）が小さいと、信号線31を $V_i$ に充電するための時間が大きくなってしまう。

【0017】

2つめはアナログスイッチ部100の出力である信号線20の負荷容量の問題である。アナログスイッチ出力の負荷容量が大きい場合には、NMOSトランジスタNM1、PMOSトランジスタPM1のサイズが大きく設計されることが一般的なので、仮に、アナログスイッチ出力の負荷容量と、NMOSトランジスタNM1のゲート容量の比が $10:1$ 程度であるとする。前述の考察で仮定した数値を適用すると、アナログスイッチ出力の負荷容量は、（NMOSトランジスタNM1のゲート容量が $0.2\text{ pF}$ なので） $2.0\text{ pF}$ となる。アナログスイッチ回路2では、NMOSトランジスタNM14、NM15のゲート幅が小さいと、信号線31を $V_i$ に充電するための時間が大きくなるので、NMOSトランジスタNM14、NM15のゲート幅を十分大きく設計した場合、入力容量は、少なくとも、アナログスイッチ出力の負荷容量 $2.0\text{ pF}$ と、容量素子C1の値の $1.8\text{ pF}$ の和となり、最低2倍程度に入力容量が増加し、遅延時間が増加してしまう。

【0018】

このように、従来のアナログスイッチ回路2では、本来の目的が低電源電圧下での高速化でありながら、遅延時間が増大する要因が数多くあるという問題があった。

【0019】

本発明はこのような点に鑑みてなされたものであり、低電源電圧下での高速化

が可能で、耐圧性に優れたアナログスイッチ回路を提供することを目的とする。

【0020】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示すアナログスイッチ回路1において、それぞれのソース及びドレインを共通接続し、並列接続されたNMOSトランジスタNM1とPMOSトランジスタPM1とから構成されており、アナログ入力信号を入力しサンプリングされたアナログ出力信号を出力するアナログスイッチ部100と、アナログ入力信号と参照（リファレンス）信号を入力し、アナログ入力信号の入力電位と、参照信号の参照電位と、を比較するコンパレータ回路200と、アナログスイッチ部100の導通時に、入力電位が参照電位より低い場合は、NMOSトランジスタNM1のゲート電位を正の電源電圧の電位とし、入力電位が参照電位より高い場合は、ゲート電位を電源電圧の電位より高い電位に昇圧する昇圧回路300と、を有することを特徴とするアナログスイッチ回路1が提供される。

【0021】

上記構成によれば、入力電位が参照電位より低い場合は、NMOSトランジスタNM1のゲート電位を正の電源電圧の電位として昇圧せず、入力電位が参照電位より高い場合は、ゲート電位を電源電圧の電位より高い電位に昇圧する。

【0022】

【発明の実施の形態】

以下本発明の実施の形態を図面を参照して説明する。

図1は、本発明の実施の形態のアナログスイッチ回路の概略の回路図である。

【0023】

アナログスイッチ回路1は、入力されたゲート信号に従ってスイッチをオンオフし入力されたアナログ入力信号をサンプリングして出力するアナログスイッチ部100と、アナログ入力信号の入力電位 $V_i$ と、参照信号（以下リファレンス信号と呼ぶ）の参照電位（以下リファレンス電位と呼ぶ）を比較するコンパレータ回路200と、NMOSトランジスタNM1のゲートの電位を昇圧する昇圧回路300と、レベル変換回路400と、ゲート信号を反転させるインバータ50

0とを有する。

【0024】

ゲート信号は、例えば、所定の周期で電位がHレベル、Lレベルに変化するパルス信号である。

アナログスイッチ部100は、アナログ入力信号を信号線10により入力するソースと、アナログ出力信号を信号線20に出力するドレインとを有するNMOSトランジスタNM1とPMOSトランジスタPM1が、並列接続されるよう、それぞれのソース、ドレインを共通接続した構成となっている。また、NMOSトランジスタNM1のゲートには、レベル変換回路400の出力が信号線30により入力され、PMOSトランジスタPM1のゲートには、ゲート信号が信号線40により入力される。

【0025】

コンパレータ回路200は、アナログ入力信号を信号線10を介して、リファレンス信号を信号線50を介してそれぞれ入力し、アナログ入力信号の入力電位 $V_i$ と、リファレンス信号のリファレンス電位を比較する。ここで、コンパレータ回路200は、入力電位 $V_i$ がリファレンス電位より低い場合は、Lレベルの電位を出力し、入力電位 $V_i$ がリファレンス電位より高い場合は、Hレベルの電位を出力する。

【0026】

昇圧回路300は、インバータ500と接続され、インバータ500の出力である反転されたゲート信号を入力する容量素子C1を有する。容量素子C1はさらに、ダイオードD1のカソードと接続される。ダイオードD1は、アノードには電源電圧VDDが入力され、カソードは、PMOSトランジスタPM2のドレインと接続されている。PMOSトランジスタPM2のソースには電源電圧VDDが入力され、ゲートにはコンパレータ回路200からの出力信号が信号線60を介して入力され、ドレインから出力される信号は信号線70を介してレベル変換回路400に入力される。

【0027】

レベル変換回路400は、信号線40を介してゲート信号を入力し、さらに、

信号線 7 0 を介して昇圧回路 3 0 0 からの信号を入力し、昇圧回路 3 0 0 を介して入力された信号に基づいて、ゲート信号を H レベルまたは L レベルが確実に決まるように変換して信号線 3 0 に出力する。さらに、詳細な構成および機能については後述する。

#### 【 0 0 2 8 】

以下、アナログスイッチ回路 1 の動作を説明する。

なお、以下、リファレンス電位を例えば、 $VDD/4$  であるとして説明する。

本発明の実施の形態のアナログスイッチ回路 1 では、ゲート信号の電位を H レベルから L レベルに変化させることで、PMOS トランジスタ PM1 をオンし、また NMOS トランジスタ NM1 をオンさせる。これにより、信号線 1 0 と信号線 2 0 が導通される。つまりスイッチがオンの状態である。

#### 【 0 0 2 9 】

まず、アナログ入力信号の入力電位  $V_i$  が、リファレンス電位より低い場合についてのアナログスイッチ回路 1 の概略の動作を説明する。

入力電位  $V_i$  が、リファレンス電位より低い場合、コンパレータ回路 2 0 0 の出力である信号線 6 0 の電位は L レベルとなり、PMOS トランジスタ PM2 がオンし、信号線 7 0 の電位は電源電圧  $VDD$  となる。また、レベル変換回路 4 0 0 では、信号線 7 0 が  $VDD$  となることから、信号線 3 0 の電位の H レベルも  $VDD$  となる。

#### 【 0 0 3 0 】

ここで、入力電位  $V_i$  が、リファレンス電位 ( $VDD/4$ ) より低いので、信号線 3 0 の H レベルが  $VDD$  であっても、NMOS トランジスタ NM1 のゲート・ソース間電圧は、 $3VDD/4$  以上あり、NMOS トランジスタ NM1 のオン抵抗は低く、出力の負荷容量の充電時間の増大の程度は小さい。また、NMOS トランジスタ NM1 に加わるゲート・ソース間電圧は最大でも  $VDD$  なので、MOS トランジスタ構造が破壊されることはない。

#### 【 0 0 3 1 】

次に、アナログ入力信号の入力電位  $V_i$  が、リファレンス電位より高い場合について動作を説明する。

この場合、コンパレータ回路200の出力である信号線60の電位はHレベルとなり、PMOSトランジスタPM2はオフとなる。これにより、信号線70の電位はVDDから、ダイオードD1の順方向電圧( $V_{D1}$ )だけ低い電位( $V_{DD} - V_{D1}$ )となっている。ゲート信号がHレベルの場合、インバータ500の出力はLレベルになっているので、ゲート信号がHレベルからLレベルに変化すると、インバータ500の出力は、LレベルからHレベルに変化する。これにより、信号線70の電位は、( $V_{DD} - V_{D1}$ )からVDDに上昇しようとする。コンパレータ回路200の出力がHレベルでVDDなので、信号線70の電位は、VDDからPMOSトランジスタPM2のしきい電圧 $V_{TH}$ だけ高い( $V_{DD} + V_{TH}$ )程度となる。この昇圧された電位( $V_{DD} + V_{TH}$ )がレベル変換回路400に供給されるので、信号線30のHレベルも( $V_{DD} + V_{TH}$ )となる。

#### 【0032】

これにより、アナログ入力信号の入力電位 $V_i$ がアナログスイッチ部100のオン抵抗が最も大きくなる $V_{DD}/2$ 付近にあるとき、NMOSトランジスタNM1のゲート・ソース間電圧は、 $V_{DD}/2 + V_{TH}$ 程度となる。信号線70を昇圧しない場合に比べてNMOSトランジスタNM1のゲート・ソース間電圧を $V_{TH}$ 程度大きくできるので、アナログスイッチ部100のオン抵抗を小さくすることができる。

#### 【0033】

また、アナログ入力信号の入力側からみた、容量の増加分は、コンパレータ回路200の入力容量だけなので、NMOSトランジスタNM1のゲートである信号線30を昇圧したことにより得られる高速化の効果を損ねることがない。

#### 【0034】

また、信号線30のHレベルが( $V_{DD} + V_{TH}$ )となる場合は、アナログ入力信号の入力電位 $V_i$ が、リファレンス電位 $V_{DD}/4$ より大きくなっている場合だけなので、NMOSトランジスタNM1に加わるゲート・ソース間電圧は最大でも、( $3V_{DD}/4 + V_{TH}$ )となり、この値がMOSトランジスタの耐圧を超えなければよい。 $V_{TH}$ の値と、MOSトランジスタの耐圧を考慮しつつ、

リファレンス電位の電位を調節すれば、NMOSトランジスタNM1に加わるゲート・ソース間電圧が耐圧を越えないようにできる。

## 【0035】

また、従来回路と異なり、NMOSトランジスタNM1のゲートである信号線30をアナログ入力信号の入力電位Viに充電してから、昇圧する必要が無いので、NMOSトランジスタNM1のゲート電位を入力電位Viに充電するための待ち時間が必要なく、高速動作が可能となる。

## 【0036】

以上、説明したように、本発明のアナログスイッチ回路1では、従来回路の昇圧を開始するまでにアナログスイッチ部100を構成するNMOSトランジスタのゲート電位をアナログ信号の入力電位Viに充電しなければならない問題、アナログスイッチ部100の入力容量が増加する問題を解決しつつ、アナログスイッチ部100を構成するNMOSトランジスタNM1のゲート電位を昇圧することができる。これにより、NMOSトランジスタNM1のオン抵抗を小さくすることができるので高速動作が達成される。

## 【0037】

また、入力電位Viが、リファレンス電位より高い場合だけアナログスイッチ部100を構成するNMOSトランジスタNM1のゲート電位を昇圧するので、NMOSトランジスタNM1の耐圧を超えるゲート・ソース間電圧が加わらないようにできる。これらにより、低電圧の条件のもとでの高速動作と、回路の定数や動作条件によらない、耐圧の制限を越えない特性、の両立が達成される。

## 【0038】

なお、以上の説明ではNMOSトランジスタNM1のゲート電位を昇圧する回路を例に説明を進めたが、PMOSトランジスタPM1のゲート電位をGNDより低い電圧とする回路も同様の考え方で構成できることはいうまでもない。その場合、図1の昇圧回路300は、入力電位Viがリファレンス電位より高い場合は、PMOSトランジスタPM1のゲート電位を、負の電源電位の電位又は接地電位とし、入力電位Viがリファレンス電位より低い場合は、ゲート電位を負の電源電位の電位又は接地電位より低い電位にする回路となる。

## 【 0 0 3 9 】

次に、本発明の実施の形態の詳細を説明する。

ここでは、レベル変換回路 4 0 0 の詳細を述べるとともに、図 1 のアナログスイッチ部 1 0 0 の NMOS トランジスタ NM1 のゲート電位となる信号線 3 0 の電位の制御について詳細に説明する。

## 【 0 0 4 0 】

図 2 は、図 1 におけるアナログスイッチ回路において、アナログスイッチ部を除き、レベル変換回路を詳細に示した回路図である。

アナログスイッチ部 1 0 0 は、図 1 と同様であるので省いた。

## 【 0 0 4 1 】

なお、図 2 において図 1 に対応した部分は、同じ符号とし説明を省略する。また、図 2 においてインバータ 5 0 1、5 0 2、5 0 3 は、図 1 のインバータ 5 0 0 に対応している。また、図 2 における昇圧回路 3 0 0 a は、図 1 の昇圧回路 3 0 0 と異なり、PMOS トランジスタ PM4 を有し、ソースに電源電圧 VDD が入力され、ドレインは、容量素子 C 1 と、ダイオード D 1 のカソードの間に接続され、ゲートは、インバータ 5 0 1 を介して、信号線 4 0 に入力されたゲート信号を反転させた信号を入力するように接続される。また、図 1 のレベル変換回路 4 0 0 は、図 2 のレベル変換回路 4 0 0 a と、インバータ 5 0 1 をあわせたものに相当し、図 2 では、レベル変換回路 4 0 0 a に、信号線 4 0 の電位と同じゲート信号と、インバータ 5 0 1 でそれを反転させた信号が入力されるような構成で示した。

## 【 0 0 4 2 】

レベル変換回路 4 0 0 a は、昇圧回路 3 0 0 a の出力を伝える信号線 7 0 とソースが接続された PMOS トランジスタ PM3 を有し、PMOS トランジスタ PM3 のドレインは出力の信号線 3 0 と接続されている。また PMOS トランジスタ PM3 のドレインと、ドレインで接続される NMOS トランジスタ NM2 を有し、NMOS トランジスタ NM2 のゲートは電源電圧 VDD が印加される。また、NMOS トランジスタ NM2 のソースと、ドレインで接続された NMOS トランジスタ NM3 を有し、NMOS トランジスタ NM3 のゲートは、信号線 4 0 を

介してゲート信号を入力し、ソースはGNDと接続されている。また、ソースに電源電圧VDDを印加し、ゲートにインバータ501で反転されたゲート信号を入力するPMOSトランジスタPM5を有する。PMOSトランジスタPM5のドレインには、PMOSトランジスタPM3のゲートが接続されている。さらに、PMOSトランジスタPM5のドレインと、ドレインで接続されたNMOSトランジスタNM4を有し、NMOSトランジスタNM4のゲートは、インバータ501で反転されたゲート信号を入力する。またNMOSトランジスタNM4のソースと、ドレインで接続されたNMOSトランジスタNM5を有し、NMOSトランジスタNM5のゲートはPMOSトランジスタPM5のドレインと接続され、ソースはGNDと接続されている。

## 【0043】

以下、図2の回路の動作を説明する。

なお、ここでは、リファレンス電位を、例えばVDD/4であるとして説明する。

## 【0044】

まず、アナログ入力信号の入力電位Viが、リファレンス電位より低い場合の図2の回路の動作を説明する。

入力電位Viが、リファレンス電位より低いので、コンパレータ回路200の出力はLレベルとなり、PMOSトランジスタPM2がオンすることで、信号線70の電位はVDDとなっている。

## 【0045】

ゲート信号がHレベルの場合は、信号線80がLレベルになるので、PMOSトランジスタPM4がオンし、入力電位Viに関係なく、信号線70の電位はVDDとなる。また、信号線80がLレベルになると、PMOSトランジスタPM5がオンし、NMOSトランジスタNM4がオフすることから信号線82はHレベルになる。その結果、PMOSトランジスタPM3がオフする。さらに、NMOSトランジスタNM3がオンしているので、信号線30の電位は、GNDレベル(0V)となる。

## 【0046】

ゲート信号を入力する信号線40の電位がHレベルからLレベルに変化した場合、信号線80のレベルはHレベルとなり、PMOSトランジスタPM4がオフする。また、信号線80がHレベルとなることで、PMOSトランジスタPM5がオフし、NMOSトランジスタNM4がオンして、信号線82がLレベルとなる。その結果、PMOSトランジスタPM3がオンする。さらに、NMOSトランジスタNM3がオフし、PMOSトランジスタPM3がオンで、信号線70の電位はVDDなので、信号線30の電位はVDDとなる。

## 【0047】

次に、入力電位Viが、リファレンス電位より高い場合についてのレベル変換回路400aの動作を説明する。

入力電位Viが、リファレンス電位より高いので、コンパレータ回路200の出力は、Hレベルとなり、PMOSトランジスタPM2はオフとなる。

## 【0048】

ゲート信号がHレベルからLレベルに変化した場合、最初の状態（ゲート信号がHレベル）では、信号線80はインバータ501によりLレベルとなっている。信号線80がLレベルなので、PMOSトランジスタPM4がオンして、信号線70の電位はVDDとなっている。

## 【0049】

ゲート信号がLレベルに変化すると、信号線80の電位はインバータ501により反転しHレベルとなり、PMOSトランジスタPM4がオフする。同時に、PMOSトランジスタPM5もオフし、NMOSトランジスタNM4がオンする。これにより、信号線82の電位は、NMOSトランジスタNM4のしきい電圧VTH程度まで下がる。信号線82、83の電位は、NMOSトランジスタNM4がオンすると等しくなり、NMOSトランジスタNM5がダイオード接続されていることになるので、GNDからVTH程度の電位となる。信号線82の電位が下がることで、PMOSトランジスタPM3がオンする。ゲート信号がLレベルであることから、NMOSトランジスタNM3はオフしており、PMOSトランジスタPM3がオンするので、出力である信号線30の電位は、VDD程度まで上昇する。

## 【0050】

ここで、信号線70の電位がVDDとなっている最初の状態では、どのMOSトランジスタにもVDDを超える電圧が加わっていないことは明らかである。

一方、信号線81は、信号線80がLレベルからHレベルに変化した後、インバータ502、503による遅延時間分だけ遅れてHレベルとなる。ここで、PMOSトランジスタPM2、PM4がオフしているので、信号線81がLレベルからHレベルに変化すると、信号線70の電位が上昇する。コンパレータ回路200の出力電位と信号線80の電位がVDDなので、信号線70の電位が( $V_{DD} + V_{TH}$ )程度となることで、PMOSトランジスタPM3がオンしているので、信号線30の電位も( $V_{DD} + V_{TH}$ )程度となり、VDDより高い電位に昇圧される。

## 【0051】

ここで、信号線30、70の電位が( $V_{DD} + V_{TH}$ )程度に、昇圧された場合にも、各MOSトランジスタに過大な電圧が加わらない仕組みとなっていることを以下に説明する。

## 【0052】

信号線30、70の電位が( $V_{DD} + V_{TH}$ )程度に昇圧された状態では、PMOSトランジスタPM2、PM4のゲート電位はVDD、ソース電位は、( $V_{DD} + V_{TH}$ )、ドレイン電圧はVDDなので、たかだか $V_{TH}$ 程度の(ゲート・ソース間、ドレイン・ソース間)電圧しか加わらない。

## 【0053】

また、PMOSトランジスタPM3において、ソース電位は( $V_{DD} + V_{TH}$ )、ドレイン電位も( $V_{DD} + V_{TH}$ )、ゲート電位は信号線82の電位となっている。信号線82の電位は、 $V_{TH}$ 程度の電位なので、PMOSトランジスタPM3のゲート・ソース間電圧はVDDとなり、信号線30、70の電位を( $V_{DD} + V_{TH}$ )に昇圧しながら、PMOSトランジスタPM3にも過大な電圧は加わらない特性を達成できる。

## 【0054】

NMOSトランジスタNM2の機能について説明する。信号線30、70の電

位が  $(V_{DD} + V_{TH})$  になると、ゲート信号がLレベルであることからNMOSトランジスタNM3がオフしているので、信号線84の電位は上昇しようとする。これにより、NMOSトランジスタNM3に過大な電圧が加わる恐れがある。しかし、NMOSトランジスタNM2を設けることにより、ゲート電位がVDDなので、信号線84の電位は  $(V_{DD} - V_{TH})$  まで上昇して、そこで安定する。よって、NMOSトランジスタNM3のドレイン電位も  $(V_{DD} - V_{TH})$  なので、過大な電圧が加わらない。また、NMOSトランジスタNM2自体も、ゲート電位はVDD、ドレイン電位は  $(V_{DD} + V_{TH})$ 、ソース電位は  $(V_{DD} - V_{TH})$  となり過大な電圧が加わらない特性となっていることが分かる。

## 【0055】

このように、レベル変換回路400aの昇圧された信号線70が、ソースに供給されるPMOSトランジスタPM3のゲートと接続された信号線82のLレベルをGNDより高い電位  $(V_{TH})$  とし、信号線30へ出力する信号の駆動を行うNMOSトランジスタNM3と、信号線30との間に、NMOSトランジスタNM3に過大なドレイン電圧が印加されないようNMOSトランジスタNM2を設けたので、昇圧した電圧でアナログスイッチ部100のNMOSトランジスタNM1のゲートを駆動するレベル変換回路400a自体を過電圧から保護できる。

## 【0056】

次に、本発明の実施の形態のアナログスイッチ回路1において、特にコンパレータ回路200を詳細に説明する。

図3は、アナログスイッチ回路において、アナログスイッチ部を除き、コンパレータ回路と昇圧回路及びレベル変換回路の詳細な構成を示す回路図である。

## 【0057】

なお、図3における昇圧回路300bと、レベル変換回路400bは図2の昇圧回路300a及びレベル変換回路400aと若干構成が異なり、新たな機能を追加しているものもある。

## 【0058】

また、図3において図1または図2に対応した部分は同じ符号とし、説明を省

略する。

昇圧回路 3 0 0 b は、図 2 の昇圧回路 3 0 0 a と同様に、信号線 4 0 のゲート信号を入力する。しかし、図 3 の場合、PMOS トランジスタ PM4 のゲートは信号線 9 0 と接続されている。信号線 9 0 に伝達される信号は以下のようになる。

#### 【0 0 5 9】

ゲート信号は、信号線 4 0 と接続されるインバータ 5 0 4 で反転され、インバータ 5 0 4 の出力が NAND 回路 5 1 0 に入力される。一方、信号線 4 1 で入力される EN (ENable) 信号 (以下 EN 信号 4 1 と呼ぶ) も、NAND 回路 5 1 0 に入力され、インバータ 5 0 4 の出力と、EN 信号 4 1 の NAND 処理が行なわれる。NAND 回路 5 1 の出力は、信号線 9 2 を介してインバータ 5 0 5 に入力される。インバータ 5 0 5 は信号線 9 2 の信号を反転させ、出力を信号線 9 0 に伝達する。

#### 【0 0 6 0】

また、昇圧回路 3 0 0 b の容量素子 C 1 には信号線 9 1 が接続されている。信号線 9 1 に伝達される信号は、前述したインバータ 5 0 5 の出力信号をインバータ 5 0 6、5 0 7 により処理されたものである。インバータ 5 0 6、5 0 7 を介することで、信号を遅延させる。なお、図 3 の昇圧回路 3 0 0 b では、図 2 の昇圧回路 3 0 0 a に見られるダイオード D 1 が表記されていないが、PMOS トランジスタ PM2、PM4 を図のように接続することによって、PN 接合により、ダイオード D 1 と同様の機能を有する。

#### 【0 0 6 1】

レベル変換回路 4 0 0 b は、図 2 のレベル変換回路 4 0 0 a と同様に、PMOS トランジスタ PM5 と、NMOS トランジスタ NM4 のゲートに接続された信号線 9 3 によって、信号線 4 0 のゲート信号を前述のインバータ 5 0 4 で反転させた信号を入力する。

#### 【0 0 6 2】

図 2 のレベル変換回路 4 0 0 a との違いは、NMOS トランジスタ NM6、NM12 にある。NMOS トランジスタ NM6 のゲートは、前述の EN 信号の信号

線 4 1 と接続されたインバータ 5 0 8 の出力を伝達する信号線 9 4 と接続されている。また、ドレインは、NMOS トランジスタ NM 4 のソース (NMOS トランジスタ NM 5 のドレイン) と接続され、ソースは GND と接続されている。NMOS トランジスタ NM 1 2 のゲートは、コンパレータ回路 2 0 0 b の出力が伝達される信号線 6 0 と接続されたインバータ 5 0 9 により反転された信号が現れる信号線 9 9 と接続されている。また、ドレインは NMOS トランジスタ NM 4 のソース (NMOS トランジスタ NM 5 のドレイン) と接続され、ソースは GND と接続されている。これら、NMOS トランジスタ NM 6、NM 1 2 の機能及び動作については後述する。

## 【 0 0 6 3 】

抵抗 R 3 ~ R 6 及び PMOS トランジスタ PM 6 は、電源電圧 VDD を分圧して、信号線 5 0 に出力されるリファレンス電位を発生する回路として機能する。ここで、PMOS トランジスタ PM 6 は、ゲートが EN 信号 4 1 を入力し反転するインバータ 5 0 8 の出力と接続され、ソースには電源電圧 VDD が入力され、ドレインには抵抗 R 3 が接続される。抵抗 R 3 は抵抗 R 4 と、抵抗 R 4 は抵抗 R 5 と、抵抗 R 5 は抵抗 R 6 とそれぞれ直列に接続される。

## 【 0 0 6 4 】

次にコンパレータ回路 2 0 0 b の構成について説明する。

コンパレータ回路 2 0 0 b において、PMOS トランジスタ PM 7、PM 8、抵抗 R 2、NMOS トランジスタ NM 7 は、コンパレータとして働く差動回路のバイアスを信号線 9 5 に発生する回路として機能する。PMOS トランジスタ PM 7 は、ゲートに EN 信号 4 1 を入力し、ソースに電源電圧 VDD を入力し、ドレインは、PMOS トランジスタ PM 8 のゲートと接続される。PMOS トランジスタ PM 8 は、ゲートは PMOS トランジスタ PM 8 のドレインと接続される。また、ソースには電源電圧 VDD が入力される。ドレインは抵抗 R 2 と接続される。抵抗 R 2 は、一方が PMOS トランジスタ PM 8 のドレイン、他方が NMOS トランジスタ NM 7 のドレインと接続される。NMOS トランジスタ NM 7 は、ゲートには EN 信号 4 1 が入力され、ドレインは抵抗 R 2、ソースは GND と接続される。

## 【0065】

PMOSトランジスタPM9～13及びNMOSトランジスタNM8～NM11は差動回路を構成しており、これらとNAND回路511でコンパレータとして機能する。また、抵抗R1と、容量素子C2は、アナログ信号をフィルタリングする機能を持つ。

## 【0066】

PMOSトランジスタPM9において、ゲートは、バイアス回路の出力であるPMOSトランジスタPM8のドレインと接続され、ソースには電源電圧VDDが入力され、ドレインはPMOSトランジスタPM12及びPM13のソースと接続される。PMOSトランジスタPM10において、ゲートにはEN信号41が入力され、ソースには電源電圧VDDが入力され、ドレインはNMOSトランジスタNM11のドレインと接続される。PMOSトランジスタPM11において、ゲートは信号線95と接続され、バイアス回路の出力を入力する。ソースには電源電圧VDDが入力され、ドレインはNMOSトランジスタNM11のドレインと接続される。PMOSトランジスタPM12において、ゲートは、例えば、リファレンス電位を $VDD/4$ としたい場合は、図3のように抵抗R5と抵抗R6の間より、信号線50を介して分圧されたリファレンス電位を取り出し入力する。ソースはPMOSトランジスタPM9のドレインと接続され、ドレインはNMOSトランジスタNM9のドレインと接続される。PMOSトランジスタPM13において、ゲートは、信号線10よりアナログ入力信号( $V_i$ )を入力する。ソースはPMOSトランジスタPM9のドレインと接続され、ドレインはNMOSトランジスタNM10のドレインと接続される。NMOSトランジスタNM8において、ゲートはEN信号41を反転するインバータ508の出力と接続され、ドレインはPMOSトランジスタPM12のドレインと接続され、ソースはGNDと接続される。NMOSトランジスタNM9において、ゲートはPMOSトランジスタPM13のドレインと接続され、ドレインはPMOSトランジスタPM12のドレインと接続され、ソースはGNDと接続される。NMOSトランジスタNM10において、ゲート及びドレインはPMOSトランジスタPM13のドレインと接続され、ソースはGNDと接続される。NMOSトランジスタ

NM11において、ゲートはPMOSトランジスタPM12のドレインと接続され、ドレインはPMOSトランジスタPM10、PM11のドレインと接続され、ソースはGNDと接続される。NAND回路511は、PMOSトランジスタPM11のドレインの信号と、信号線42で入力される信号を入力し、NAND処理を行ない、信号線60にコンパレータ出力として信号を出力する。

## 【0067】

信号線41、42に入力される信号は、昇圧動作を制御し、EN信号41の電位がHレベルかつ信号線42に入力される信号の電位がHレベルのとき、アナログ入力信号の入力電位 $V_i$ と、信号線50のリファレンス電位を比較して、信号線70を昇圧するか、しないかを決定するよう機能する。EN信号41がLレベルのときは、入力電位 $V_i$ によらず、信号線70の電位はVDDとなる。信号線41がHレベルかつ信号線42の信号がLレベルのときは、入力電位 $V_i$ によらず、信号線70の電位を昇圧するモードとなる。

## 【0068】

以下、図3の回路における動作を説明する。

まず、EN信号41の電位がHレベルかつ信号線42の電位がHレベルの場合について説明する。

## 【0069】

EN信号41の電位がHレベルなので、PMOSトランジスタPM7がオフ、NMOSトランジスタNM7がオンとなっており、抵抗R2には電流が流れ、その電流に対応した電位が信号線95にバイアス電位として現れる。また、EN信号41と逆相の信号線94の電位がLレベルとなるので、PMOSトランジスタPM6がオンし、抵抗R3から抵抗R6に電流が流れ、信号線50にはリファレンス電位として、（抵抗R3～R6の抵抗値は等しいと仮定すれば） $VDD/4$ の電位が発生される。また、信号線42の信号がHレベルなので、信号線60に発生するコンパレータ出力の電位は、信号線97の信号の反転したものとなる。

## 【0070】

差動回路を構成するPMOSトランジスタPM9～PM13、NMOSトランジスタNM8～NM11は、入力電位 $V_i$ と、リファレンス電位を比較して、入

力電位  $V_i$  が高ければ、信号線 97 の電位は L レベルとなる。また、入力電位  $V_i$  が低ければ、信号線 97 の電位は H レベルとなる。従って、入力電位  $V_i$  が、リファレンス電位より高ければ、信号線 60 の電位は H レベルとなり、入力電位  $V_i$  がリファレンス電位より低ければ、信号線 60 の電位は L レベルとなる。

#### 【0071】

入力電位  $V_i$  がリファレンス電位より低ければ、信号線 60 の電位は L レベルとなるので、PMOS トランジスタ PM2 が常にオンし、信号線 70 の電位は  $V_{DD}$  となり、図 2 で説明したように、信号線 70 の電位は昇圧されない。

#### 【0072】

図 3 の回路では、コンパレータ出力が現れる信号線 60 の電位が L レベルとなって、信号線 70 の電位を昇圧しないとき、NMOS トランジスタ NM12 により、信号線 83 の電位を GND とする。これにより、PMOS トランジスタ PM3 のゲート・ソース間電圧を  $V_{DD}$  とできるので、より低電圧での動作が可能となる。

#### 【0073】

アナログ信号の電位がリファレンス電位より高ければ、信号線 60 の電位は H レベルとなるので、PMOS トランジスタ PM2 はオフする。この場合、ゲート信号が H レベルから L レベルに変化するとき、信号線 70 の電位が昇圧される。

#### 【0074】

ゲート信号が H レベルとなっていると、信号線 90 の電位は L レベルとなっていて、PMOS トランジスタ PM4 により信号線 70 の電位は  $V_{DD}$  となる。ゲート信号が L レベルに変化すると、EN 信号 41 が H レベルなので、信号線 90 の電位が H レベルになる。これにより PMOS トランジスタ PM4 がオフし、インバータ 506、507 の遅延時間遅れて、信号線 91 も L レベルから H レベルに変化する。信号線 91 が L レベルから H レベルに変化することで、信号線 70 の電位が  $V_{DD} + V_{TH}$  まで昇圧される。

#### 【0075】

このとき、NMOS トランジスタ NM12 はオフとなるので、信号線 82 の L

レベルは、VTH程度となり、図2の回路と同様に動作する。

ここで、抵抗R1と容量素子C2で構成したフィルタの動作を説明する。

#### 【0076】

フィルタは、入力したアナログ入力信号の急激な変化を差動回路の入力である信号線98に伝えないようにする。

例えば、図1において、入力電位ViがVDD/2、アナログスイッチ部100からの出力が0Vの状態から充電される場合について説明する。

#### 【0077】

ゲート信号をHレベルからLレベルに変化させることで、アナログスイッチ部100のPMOSトランジスタPM1がオンし、また、信号線30もVDD程度の電位となるので、NMOSトランジスタNM1もオンする。ここで、出力側の信号線20が充電され始め、信号線20の電位が上昇を始める。アナログ入力信号を入力する信号線10を駆動する回路は、当然、有限のインピーダンスをもつので、信号線10の電位が過渡的に下がる。図3の回路のように、抵抗R1と容量素子C2でフィルタを構成しておけば、信号線10の電位が過渡的に下がっても、差動回路の入力である信号線98の電位は大きくは下がらず、信号線98の電位が、リファレンス電位より下がらない限り、信号線70の電位を昇圧することができる。

#### 【0078】

一方、図4の従来のアナログスイッチ回路2では、信号線10を駆動する回路の有限のインピーダンスにより、出力側の信号線20の充電の初期に信号線10の電位が下がると、それがそのまま、最終的なNMOSトランジスタNM1のゲート電位の低下につながっていた。

#### 【0079】

つまり本発明の実施の形態によれば、リファレンス電位をある程度低い電位、例えば、VDD/4に設定し、抵抗R1と容量素子C2により、入力電位Viの急激な低下を信号線98に伝えないようにすることで、過渡的な、入力電位Viの低下の影響を受けずに、信号線70、30の電位を昇圧する特性を達成することができる。

## 【0080】

次に、EN信号41がLレベルの場合の動作を説明する。

EN信号41がLレベルの場合、PMOSTランジスタPM7、PM10、NMOSTランジスタNM8がオンし、PMOSTランジスタPM6、NM7がオフする。PMOSTランジスタPM6がオフするので、抵抗R3～R6には電流が流れない。抵抗R2にも電流が流れず、信号線95の電位がVDDとなるので、差動回路を構成するPMOSTランジスタPM9～PM13、NMOSTランジスタNM8～NM11には電流は流れない。NMOSTランジスタNM8がオンし、信号線96がLレベルとなるので、NMOSTランジスタNM11がオフし、PMOSTランジスタPM10により信号線97の電位はHレベルとなる。

## 【0081】

このように、EN信号41をLレベルとして、昇圧しない場合には、コンパレータ回路200b、リファレンス発生回路に無駄な電流を流さない構成となっていることが分かる。

## 【0082】

また、EN信号41がLレベルなので、NAND回路510の出力である信号線92はHレベルとなり、信号線90、91はLレベルとなり、ゲート信号が変化しても、信号線90、91はLレベルから変化しない。信号線90がLレベルなので、PMOSTランジスタPM4が常にオンし、信号線70の電位は常にVDDとなる。つまり、ゲート信号が変化しても信号線70の電位は昇圧されない。

## 【0083】

図2で示したレベル変換回路400aと、図3のレベル変換回路400bとの違いである、NMOSTランジスタNM6の機能及び動作について以下に説明する。

## 【0084】

EN信号41がLレベルであり、信号線94がHレベルとなるので、NMOSTランジスタNM6がオンする。NMOSTランジスタNM6がオンすることで、信号線83の電位は0Vとなる。信号線70の電位を昇圧しない場合には、信

号線 8 3 の電位を VTH 程度に保つ必要がないので、信号線 8 3 の電位を 0 V とし、PMOS トランジスタ PM3 のゲート・ソース間電圧を VDD とできるので、より低電圧での動作が可能となる。また、信号線 9 0、9 1 の電位も変化しないので、無駄な容量の充放電電流が流れない構成となっている。

## 【0085】

このように、EN 信号 4 1 を追加して、昇圧しないモードを設けると、電源電圧が低い状況で使わないことがあらかじめ分かっている場合には、無駄な昇圧動作を停止することができる。

## 【0086】

次に EN 信号 4 1 が H レベルかつ信号線 4 2 の信号が L レベルの場合について説明する。

EN 信号 4 1 が H レベルかつ信号線 4 2 の信号が L レベルのときは、入力電位 Vi によらず、信号線 7 0 の電位を昇圧するモードとなる。

## 【0087】

信号線 4 2 の信号を L レベルとすると、差動回路の出力である信号線 9 7 の電位によらず、コンパレータ回路 2 0 0 b の出力である信号線 6 0 は、必ず、H レベルとなる。また、EN 信号 4 1 が H レベルなので、信号線 9 2 の信号は信号線 9 3 の信号の反転信号となり、EN 信号 4 1 が H レベルかつ信号線 4 2 の信号が H レベルの場合で、入力電位 Vi がリファレンス電位より高い場合と同様に、信号線 3 0、7 0 の電位が昇圧される。違いは、必ずコンパレータ回路 2 0 0 b の出力である信号線 6 0 が H レベルとなるので、アナログ信号入力 of 電位によらず、信号線 3 0、7 0 の電位が昇圧される点である。

## 【0088】

このように信号線 4 2 を追加して、必ず昇圧するモードを設けると、電源電圧が高い状況で使わず、必ず電源電圧が低いことがあらかじめ分かっている場合には、入力電位 Vi が低い場合にも、信号線 3 0 の電位を昇圧できオン抵抗を下げることができる。

## 【0089】

なお、以上の説明では NMOS トランジスタ NM1 のゲート電位を昇圧する回

路を例に説明を進めたが、PMOSトランジスタPM1のゲート電位をGNDより低い電圧とする回路も同様の考え方で構成できることはいうまでもない。その場合も、図3と同様に、コンパレータ部分にフィルタを設けたり、PMOSトランジスタPM1のゲートの電位を、必ず負の電源電圧の電位より低い電位にする旨の信号を入力する信号線や、負の電源電圧の電位より低い電位にしない旨の信号を入力する信号線を設けたりすることも可能であることはいうまでもない。

【0090】

【発明の効果】

以上説明したように本発明では、アナログスイッチの入力電位と、リファレンス電位をコンパレータ回路で比較して、入力電位が低い場合に、アナログスイッチを構成するNMOSトランジスタのゲートの電位を電源電圧の電位とし、昇圧されないようにしたので、NMOSトランジスタに過電圧が印加されることを防止できる。また、入力電位が高い場合、ゲートの電位を昇圧するようにしたので、NMOSトランジスタのオン抵抗が小さくなり高速化できる。

【0091】

また、アナログスイッチの入力容量の増加は、コンパレータ回路の入力容量程度に抑えられるので、その高速性を損なうことがない。また、NMOSトランジスタのゲートの電位を入力電位に充電してから昇圧する必要がないことから、高速化が可能である。

【図面の簡単な説明】

【図1】

本発明の実施の形態のアナログスイッチ回路の概略の回路図である。

【図2】

図1におけるアナログスイッチ回路において、アナログスイッチ部を除き、レベル変換回路を詳細に示した回路図である。

【図3】

アナログスイッチ回路において、アナログスイッチ部を除き、コンパレータ回路と昇圧回路及びレベル変換回路の詳細な構成を示す回路図である。

【図4】

従来のアナログスイッチ回路の回路図である。

【符号の説明】

1 アナログスイッチ回路

1 0、2 0、3 0、4 0、5 0、6 0、7 0 信号線

1 0 0 アナログスイッチ部

2 0 0 コンパレータ回路

3 0 0 昇圧回路

4 0 0 レベル変換回路

5 0 0 インバータ

NM1 NMOSトランジスタ

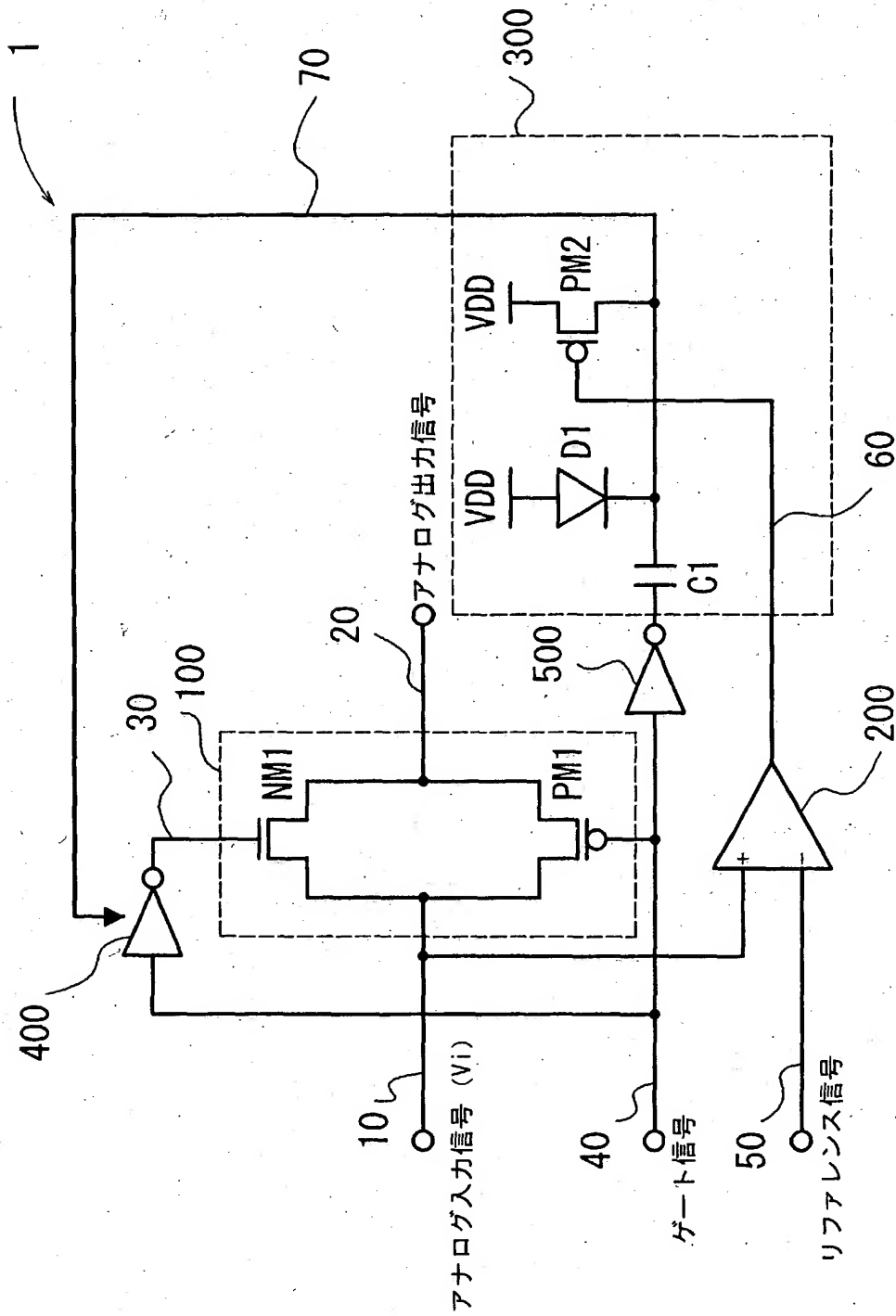
PM1、PM2 PMOSトランジスタ

C1 容量素子

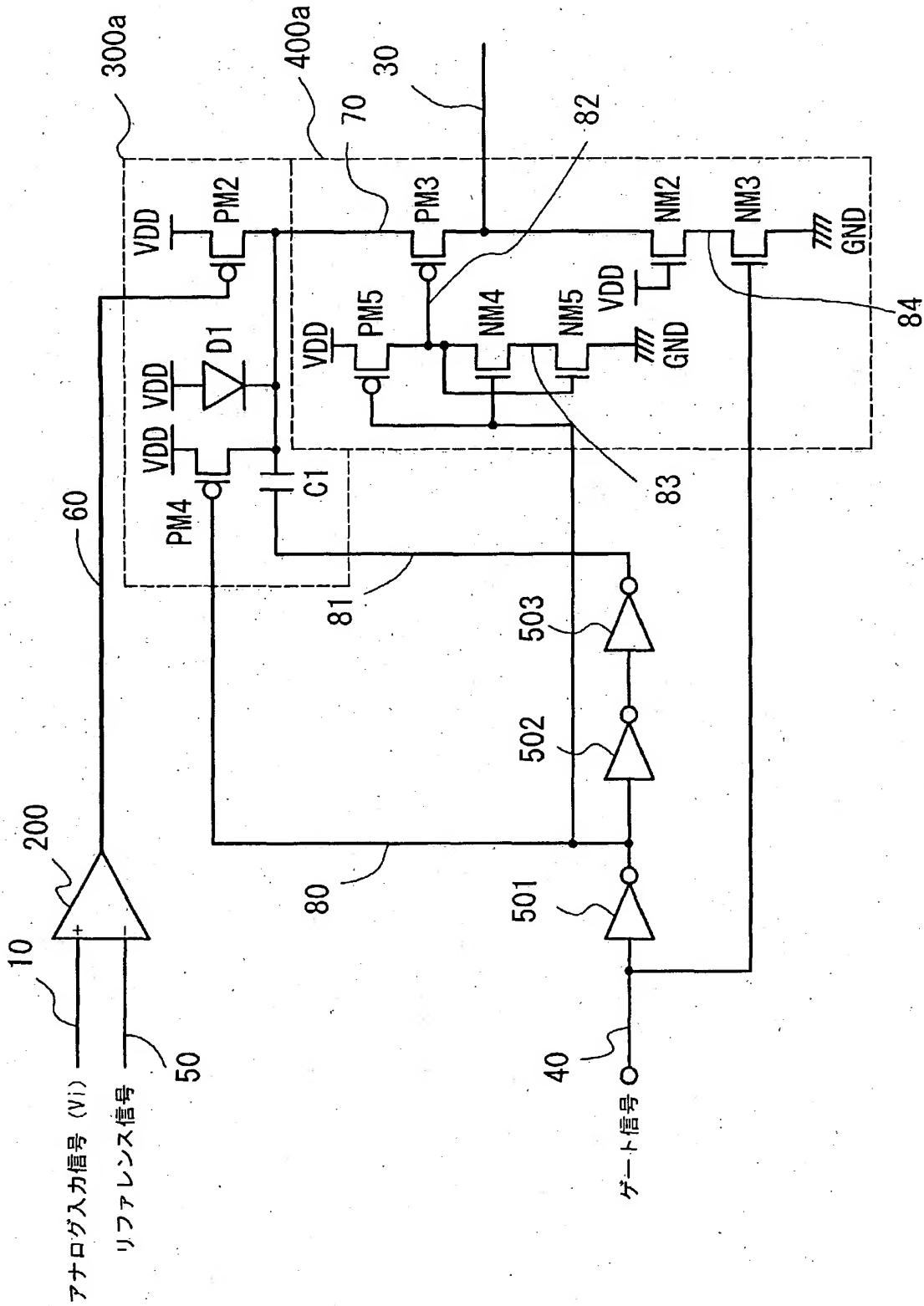
D1 ダイオード

【書類名】 図面

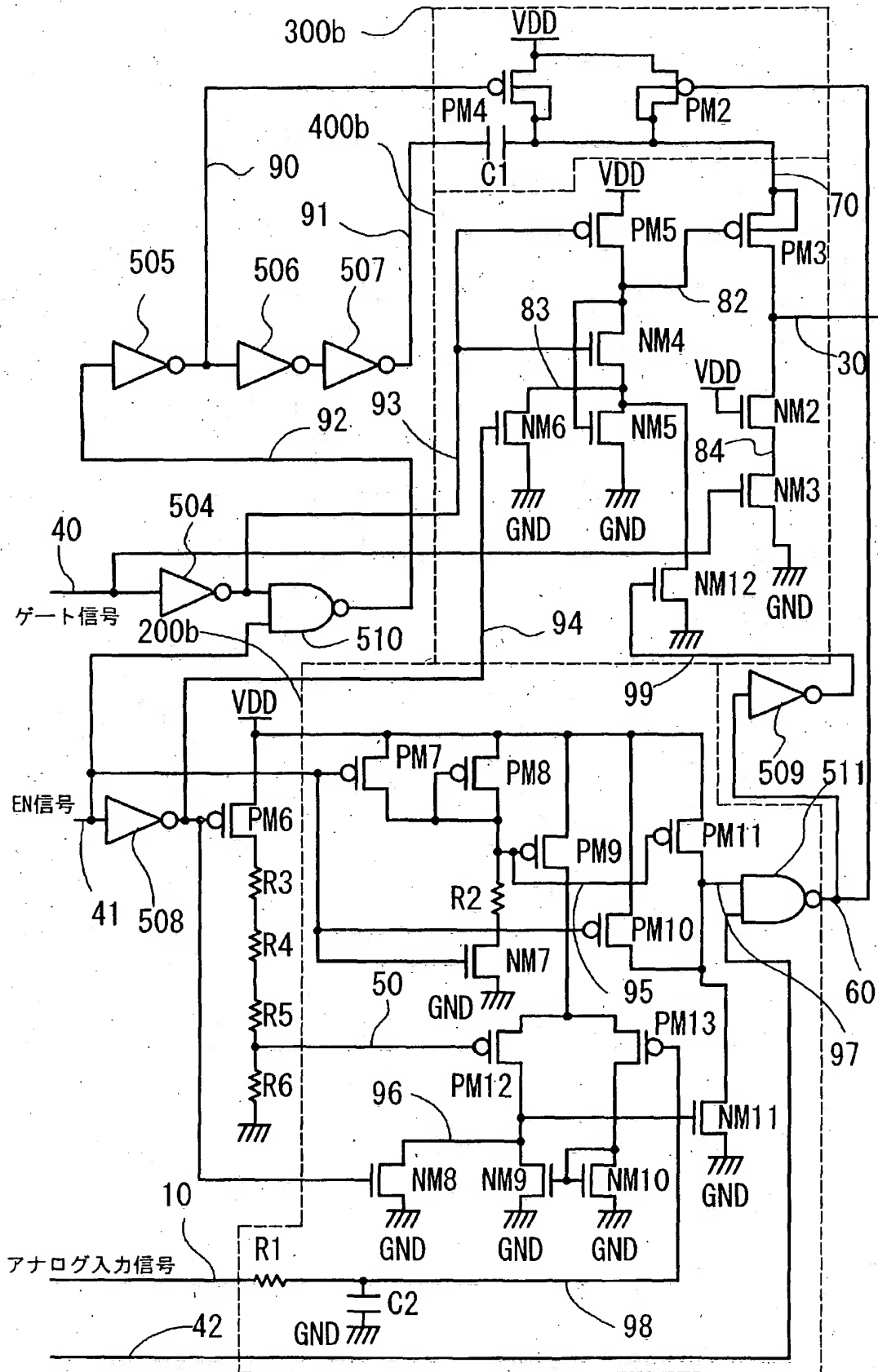
【図 1】



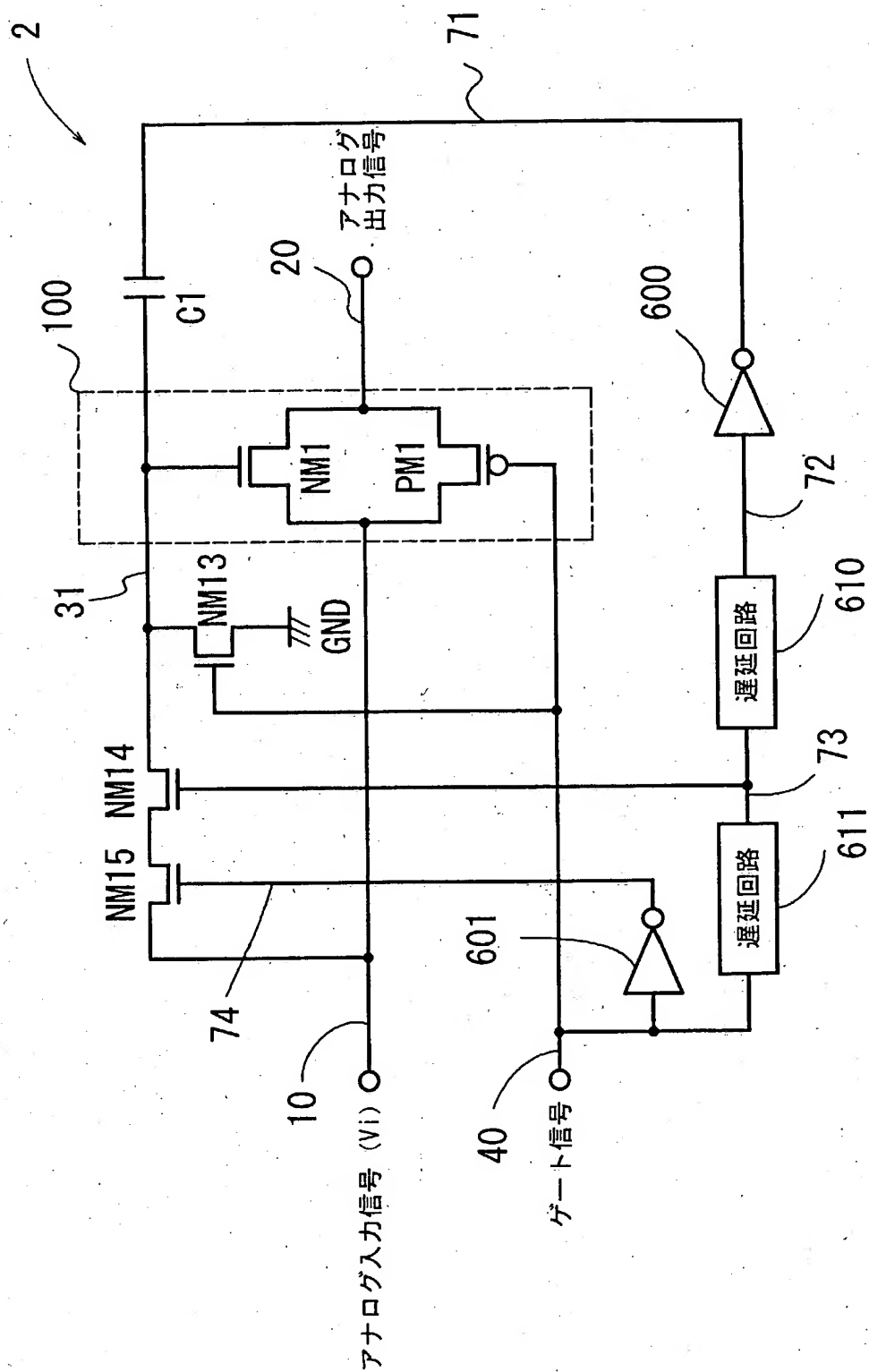
【図 2】



【図 3】



【图 4】



【書類名】 要約書

【要約】

【課題】 低電源電圧下での高速化が可能で、耐圧性に優れたアナログスイッチ回路を提供する。

【解決手段】 アナログスイッチ部 1 0 0 に入力されるアナログ入力信号と、リファレンス信号とを入力し比較するコンパレータ回路 2 0 0 を設け、昇圧回路 3 0 0 により、アナログ入力信号の入力電位がリファレンス信号のリファレンス電位より低い場合は、アナログスイッチ部 1 0 0 を構成する NMOS トランジスタ NM1 のゲート電位を、正の電源電圧の電位とし、入力電位が参照電位より高い場合は、ゲート電位を電源電圧の電位より高い電位に昇圧する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社